This Page Is Inserted by IFW Operations and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents will not correct images, please do not report the images to the Image Problem Mailbox.

F-03ED0125

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD **THEREFOR**

Patent Number:

JP2003078076

Publication date:

2003-03-14

Inventor(s):

CHINDA SATOSHI; SUZUKI KATSUMI

Applicant(s):

HITACHI CABLE LTD

Requested Patent:

☐ <u>JP20</u>03078076

Application Number: JP20010268413 20010905

Priority Number(s):

IPC Classification:

H01L23/28; H01L21/56; H01L23/12; H01L23/50

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To reduce defective exposure of a conductor terminal (lead) related to a QFN or SON type semiconductor device.

SOLUTION: This method for manufacturing a semiconductor device comprises a conductor terminal forming process wherein a conductor terminal of a specified pattern is formed on the surface of an insulating substrate; a semiconductor chip mounting process wherein a semiconductor chip is bonded onto the insulating substrate on which the conductor terminal is formed, and then an external electrode (bonding pad) of the semiconductor chip and the conductor terminal are electrically connected together; a sealing process wherein the semiconductor chip, the conductor terminal and the connection part between the external electrode of the semiconductor chip and the conductor terminal are sealed with an insulating material; and a peeling process wherein, after sealing, the semiconductor chip and the conductor terminal sealed with the insulating material are peeled off from the insulating substrate. In the conductor terminal formation process, the conductor terminal is formed on the surface of the insulating substrate by using the conductor whose adhesion strength with the insulating substrate is deteriorated under a specified condition. In the peeling process, the semiconductor chip and the conductor terminal are peeled off after the adhesion strength between the insulating substrate and the conductor terminal is deteriorated under the specified conditions.

Data supplied from the esp@cenet database - 12

存開2003-78076. (11) 各样出版公司每中

【特許質状の範囲】

(P2003-78076A)

(43)公開日 平成15年3月14日(2003.3.14)

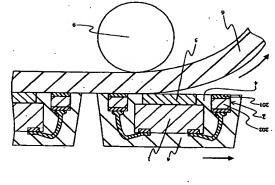
51) Int CL.	4012年	FI	36) ,1-E2-4
H01L 23/28		H01L 23/28	A 4M109
21/26		21/56	T SF08
23/12	501	23/12	501T 5F067
	•		501W
23/20		23/50	ტ
		客变雕次 未贈求	耐水項の数6 〇1 (全14 頁)

(21) 出版等号	(*) (P2001 – 268413(P2001 – 268413)	(11) 出國人	(71) 出國人 000005120
			日立電報株式会社
(22) 中間日	平成13年9月5日(2001.9.5)		東京都千代田区大手町一丁目6番1号
		(72)発明者	2000年 1000年
			茨城県日立市日高町5丁目1番1号 日立
			电键株式会社器合技格研究所内
		(72) 発明者	的木 朋美
			紫城県日立市助川町3丁目1番1号 日立
			复群株式会社電報工場内
		(74)代理人 100116171	100116171
			井理士 川澄 茂
			を表現で扱う

半導体装置の製造方法及び半導体装置 (34) [発用の名集]

【課題】QFN型あるいはSON型の半導体装置におい C、導体端子 (リード) の韓出不良を伝送する。

子を形成する導体端子形成工程と、前記導体端子が形成 **チップの外部結婚(ボンディングパッド)と前記導体強** 子を電気的に接続する半導体チップ契茲工程と、前記半 された絶縁基板上に半導体チップを接着し、前記半導体 部電極と前記導体端子との接続部分を絶縁体で封止する た前記半導体チップ及び前記導体端子を前記絶縁基板か 【解決手段】絶縁基板の表面に所定のパターンの導体機 導体チップ、前記導体端子、及び前記半導体チップの外 対止工程と、前記対止工程の後、前記絶様体で封止され ら刺離する刺離工程とを備える半導体装置の製造方法で あって、前記導体端子形成工程は、前記絶縁基板の表面 所定の条件にしたときに前記絶縁基板との密着力が **圧下する導体を用いて前記導体端子を形成し、前記剥離** 工程は、前記所定の条件のもとで前記絶縁基板と前記導 体域子との密着力を低下させてから剥離する半導体装置 の製造方法である



【請求項1】絶縁基板の表面に所定のパターンの導体機 子を形成する導体端子形成工程と、前記導体端子が形成 された絶縁基板上に半導体チップを接着し、削記半導体 **チップの外部範囲(ボンディングパッド)と前記導体盤** 子を電気的に接続する半導体チップ実装工程と、前記半 導体チップ、前配導体端子、及び前配半導体チップの外 部電極と前記導体端子との接続部分を絶縁体で対止する 対止工程と、前記対止工程の後、前記絶縁体で対止され た前記半導体チップ及び前記導体端子を前記絶縁基板か ら剥離する剝離工程とを備える半導体装置の製造方法で

00023

前記導体端子形成工程は、前記絶縁基板の表面に、所定 の条件にしたときに前記絶縁器板との密着力が低下する 導体を用いて向記導体機子を形成し、

前記刺離工程は、前記所定の条件のもとで前記絶縁基板 と前記導体増子との密着力を低下させてから剥離するこ 【情求項2】前記導体端子形成工程は、所定の温度に加 熱したとき前記絶縁基板との密着力が低下する導体を用 いて前記導体端子を形成することを特徴とする請求項 1 とを特徴とする半導体装置の製造方法。

に配載の半導体装備の製造方法。

との密着力が低下する第1導体膜を形成し、前配第1導 【顏求項3】前配導体端子形成工程は、前配絶縁基板上 に、所定の温度で所定時間加熱したときに前記絶縁恭板 体膜上に、類2導体膜を積層して前記導体配線を形成す ることを特徴とする請求項2に記載の半導体装置の製造 【肺状項4】前記對止工程は、前記絶縁体として熱硬化 後、所定の温度で所定時間加熱して前記熱硬化性樹脂を 硬化させるとともに、前記導体端子と前記絶縁為板との 密着力を低下させることを特徴とする請求項2または請 性樹脂を用い、溶融した前記熱硬化性樹脂を成形した **求項3に記載の半導体装置の製造方法。**

成することを特徴とする請求項4に記載の半導体装置の 【請求項5】前記導体端子形成工程は、前記絶縁基板と してポリイミド樹脂勘板を用い、前記ポリイミド樹脂勘 板の表面に、ニッケル合金を用いて前記第1導体膜を形

【請求項6】半導体チップと、前記半導体チップの外周 **続するボンディングワイヤと、前記半導体チップ、前記** 記導体端子の投続部を封止する絶縁体とを備え、前記導 において、前記導体端子の輸出面がニッケル合金である **部に配置された導体端子と、前記半導体チップの外部電 ⑭(ボンディングパッド)と前記導体端子を寫気的に接** ボンディングロイヤ、及び前記ボンディングロイヤと哲 体増子の一固が前記絶縁体の表面に露出した半導体装置 ことを特徴とする半導体装配。

【発明の詳細な説明】 [0000]

の製剤方法に関し、特に、OFN (Quad Flat Non-lead ed package) 粒あるいはSON (Small Outline Non-le aded backage) 型のように導体強子(リード)が故画の 外形から突出していない半導体設置に適用して有効な技 【発明の属する技術分野】本発明は、半導体設置及びそ 術に関するものである。 【従来の技術】従来、半導体チップの外部範囲(ボンデ イヤで電気的に接続し、前記半導体チップ、前記ポンデ ドの接続部を絶縁体で対止した半導体装置には、QFN 型やSON型のように、前記リードが前記絶縁体から突 **ィングパッド) 力導体船中(リード) 枠 ボンディングロ** ィングワイヤ、及び前記ポンディングワイヤと前記リー 出せず、前記絶縁体の表面に露出した状態の半導体装置 【0003】 前配QFN型の半導体装置は、例えば、図 11 (a) に示すように、半導体チップ1の外周部に沿 って、実装基板あるいは外部装置と接続される導体端子 (リード) 2が配置されており、図11 (b) に示すよ ド) 101と前記導体端子2は、図11(b)に示した た、 前記半導体チップ 1 の外部電極(ポンディングパッ ように、ボンディングワイヤ3により喝気的に接続され **ており、的配半導体チップ 1、的配ボンディングワイヤ** 3、及び前配ボンディングワイヤ3と前配導体端子2と で、例えば、図11(b)に示したように、前記半導体 アップーから過ぎかる方向に敷形しており、包記等体盤 の接続部が、例えば、エポキシ系樹脂などの熱硬化性様 間のような絶縁体4で対止されている。またこのとき、 うに、前記半導体チップ1と前記導体端子2は、例え ば、フィルム状接着剤5、により接着されている。ま 前記導体端子2は、前記半導体チップ1の外側の領域 子2の一緒が哲記物様体4の表面に韓出している。

【0004】 前記QFN型の半導体装置の製造方法を簡 単に説明すると、まず、図12に示すように、銅板など の会局板の形成位置にリードパターンを形成したリード し1の外側から半導体チップを搭載する領域し2に向か **ンには、半導体技層(パッケージ)として切り出す領域** って延びる導体増子2が設けられている。また、前記リ エッチング処理により形成される。また、前記リードバ 1 (b) に示したように敷形させる。またこのとき、前 記リードフレーム10は帯状あるいは短冊状になってお り、一枚のリードフレーム10に、図12に示したリー フレーム10を浄黛する。このとき、 粒配リードパター ターンを形成した後、前記導体機子2の先端部を、図 **ードバターンは、例えば、金型による打ち抜き加工や**

[0005]次に、図13 (a) に示すように、フィル 体増子2上に半導体チップ1を接着し、図13(b)に ム状接着刺 5、 を用いて、前記リードフレーム10の導 **示すように、前記半導体チップ1の外部軌極(ボンディ** ドパターンが数値かの十数値、蘇り適り形成される。

ングパッド)101七世ピリードファーム100学存品 チ2とをボンディングワイヤ3で電気的に接続する。

【0006】次に、図14 (a) に示すように、前配半 導体チップ1が実装されたリードフレーム10を、所定 の形状の空間(キャビティ)801Aが設けられた上金 型8Aと平板状の下金型8Bの間に設置し、封止用の絶 **縁体4として、例えば、未硬化の熱硬化性樹脂を前記上** 金型8Aのキャビティ801Aと前記下金型8Bで囲ま れた空間内に流し込み、成形した後、所定の温度で所定 節を対止する。このとき、前記導体強子2の一箇が、図 14 (a) に示すように、前配下金型8Bと接触してい 及び前記ボンディングワイヤ3と前記導体端子2の接続 るため、前配絶縁体4を硬化させて対止した後、前配導 **体端子2は、図14(b)に示したように、その教団の** 時間加熱して前記絶縁体4(熱硬化性樹脂)を硬化さ せ、前記半導体チップ1、前配ボンディングワイヤ3、 一部が前記絶縁体4の表面に露出する。

【0007】その後、図12に示した、前記リードフレ 一厶10の領域し1を切り出す、すなわち、前記導体鑑 子2の、前記絶縁体4から突出した部分を切断して個片 化すると、図11 (a) 及び図11 (b) に示したよう なのFN型の半導体装置になる。

【発明が解決しようとする課題】しかしながら、前記従 来の技術では、図14 (a) に示したような上会型8A 部を封止しているが、前記リードフレーム10の導体配 及び前記ポンディングワイヤ3と前記導体端子2の接続 様2は、先雄節の成形時や搬送時、あるいはワイヤボン ディング時にかかる外力、または前記上金型8Aと下金 図15 (a) 及び図15 (b) に示すように、前配下金 型88と前記変形した導体端子2.の間に隙間ができて り、前記半導体チップ1、前記ボンディングワイヤ3、 型8Bで固定するときの加圧などにより変形しやすく、 及び下金型8Bを用いたトランスファーモールドによ しまうことがある。ここで、図15 (b) は図15 (a) のD-D'様での既随図である。

に隙間ができると、前記絶縁体4(熱硬化性樹脂)を流 し込んだときに、前記絶縁体4が前記隙間にも流れ込む 記絶様体4で覆われてしまう、すなわち露出不良になる 【0009】図15 (a) 及び図15 (b) に示したよ うに、前記変形した導体増子2,と前記下金型88の間 (c) に示すように、前記弦形した導体端子2'は、前 ため、前配絶縁体4を硬化させて封止した後、図15 という問題があった。

装置を実装する隙の実装性が低下し、実装基板との接続 その半導体装置は不良品となり、半導体装置の製造步留 ば、前記導体増子2の露出面が狭くなると、前記半導体 信頼性が低下するという問題がある。また、前記導体端 【0010】前記導体端子2の露出不良により、例え 子2の前記絶縁体4で覆われた面積が大きい場合には、

まりが低下するため、半導体装置の製造コストが増大す

2の突出部分2Aを切断するが、図16 (a) に示すよ [0011]また、図12に示したような、前記リード フレーム10を用いてGFN型の半導体装置を製造する 場合には、封止工程の後の個片化工程で、前記導体端子 うに、前記導体端子2の外形が矩形の場合、切断時に前 記導体端子2にかかる応力(負荷)により前記導体端子 2が前記絶様体4から剝離しやすいという問題がある。

そのため、例えば、図16 (b) に示すように、外形が 6角形状の導体端子11にして、前記絶縁体4への引っ 掛かりをよくする方法がある。この場合、金型による打 く、エッチングにより前記リードフレームを形成してい ち抜き加工で削配リードフレームを形成することが難し るが、エッチングの場合は処理時間が長くなり、生産性 が低下するという問題があった。

【0012】また、図16 (b) に示したような、6角 食袋する工程で変形が起こりやすく、 前記封止工程にお 品になりやすく、製造歩留まりが低下し、製造コストが いて、奴形した導体端子が前記絶縁体4で覆われて不良 5.状の導体端子11の場合も、搬送中や半導体チップを 増大すると言う問題があった。

のリードフレームや数個から十数個の半導体装置しが製 造できないため、生産性が低く、製造コストが上昇する る場合には、前記リードフレームが短冊状であり、一枚 【0013】また、前記リードフレームを用いて製造す という問題があった。

で前記ボンディングワイヤ3を封止するとともに、前記 前記導体場子2を変形させている。そのため、前記導体 **端子2の高さ分だけ前記半導体装置が厚くなり、半導体** 【0014】また、図11 (a) 及び図11 (b) に示 したようなQFN型の半導体装置の場合、前記絶縁体4 単体端子2を前記絶縁体4の表面に露出させるために、 装置の簿型化が難しいという問題があった。

合、前配半導体チップ1を前配導体端子2上に接着して いるが、前配各導体機子2は、短絡しないようにある程 度の距離を確保しなければならない。 そのため、敬細化 や高密度化が難しいという問題がある。また、多アン化 すると半導体装置が大型化してしまうという問題があっ 【0015】また、従来のQFN型の半導体装置の場

【0016】本発明の目的は、QFN型あるいはSON 型の半導体装置において、リード(導体端子)の韓出不 【0017】本発明の他の目的は、QFN型あるいはS ON型の半導体装置において、装置の製造が留まりを向 上させ、製造コストを低減することが可能な技術を提供 良を低減することが可能な技術を提供することにある。 することにある.

[0018] 本発明の他の目的は、QFN型あるいはS ON型の半導体装置において、装置の生産性を向上さ

せ、製造コストを低減することが可能な技術を提供する

ta BB2003-078076

3

【0019】本発明の他の目的は、QFN型あるいはS ON型の半導体装置において、装置を穿型化することが 可能な技術を提供することにある。

ON型の半導体装置において、多ピン化による装置の大 【0020】本発明の他の目的は、QFN型あるいはS 型化を防ぐことが可能な技術を提供することにある。

【0021】本発明の前記ならびにその他の目的と新規 な特徴は、本明細書の記述および添付図面によって明ら かになるであろう。

【課題を解決するための手段】本発明において関示され る発明の概要を説明すれば、以下のとおりである。

子が形成された絶縁基板上に半導体チップを接着し、前 の導体端子を形成する導体端子形成工程と、前記導体端 [0023] (1) 絶縁勘板の表面に、所定のパターン 記半導体チップの外部電極(ボンディングパッド)と前 と、前記半導体チップ、前記導体端子、及び前記半導体 チップの外部電極と前記導体端子の接続部分を絶縁体で **對止する對止工程と、前配對止工程の後、前配絶缘体で** 對止された半導体チップ及び前記導体端子を前記絶縁巻 板から刺離する刺離工程とを備える半導体装置の製造方 法であって、前記導体端子形成工程は、前記基板の表面 に、所定の条件にしたときに前記絶縁器板基板基板との密着 力が低下する導体を用いて前記導体端子を形成し、前記 刺離工程は、前記所定の条件のもとで前記絶縁基板と前 記導体端子の密着力を低下させてから剥離する半導体装 記導体端子を電気的に接続する半導体チップ実装工程 他の製造方法である。

【0024】前記(1)の手段によれば、前記絶縁基板 の表面に、所定の条件にしたときに前記絶縁基板との密 形成しておくことにより、対止工程の際には、前記絶縁 のを防ぎ、前記対止工程の後、前配所定の条件で前記絶 緑苺板と前記導体端子の密着力を低下させて剥離するこ 着性(接着性)が低下する導体を用いて前記導体端子を **基板と前記導体端子の密着力を高くしておき、前記導体** 増子と前記絶縁基板の接着界面に前記絶縁体が流れ込む とで、前記導体端子の一面、すなわち、前記絶縁基板と の接着界面の鶴出不良を低減することができる。

【0025】また、前記所定の条件で前記絶縁基板との 密着力が低下する導体を用いて前記導体端子を形成する き、前記導体端子が前記半導体チップを封止する絶縁体 ことにより、前記剣魔工程で前記導体端子を前記絶縁巻 板から刺離する際にかかる負荷を低減させることがで **も心堅備しにへくすめにわがわめる。**

除基板との密着力が低下する第1導体膜を形成し、前記 前記絶縁基板の表面に、所定の条件にしたときに前記絶 **育|導体膜上に第2導体膜を形成し、前配第1導体膜及び** 【0026】またこのとき、前記導体端子は、例えば、

形成する部分にフジスト(エッチングレジスト)を形成 するが、前記エッチングレジストには樹脂系材料のもの のほかに、例えば、金めっきなどが用いられる。前配工 ッチングレジストに金めっきを用いた場合、エッチング のとき、前記第1導体質及び前記第2導体質をエッチン グ処理する工程では、 向配第2導体上の前配導体端子を 処理後に前記金めっきを残しておき、ボンディングワイ ヤとの接続性をよくするための場子めっきとして用いる **帄記剤2導体膜をエッチング処理して形成する。またこ**

に、所定のパターンの第2導体膜を形成した後、前記算 【0027】また、前記導体強子は、前記第1導体膜及 **ぶ前記第2導体顕をエッチング処理する方法の他に、例** えば、前記絶縁基板の表面に、所定の条件にしたときに し、前記絶縁基板の表面に形成された前記第1導体質上 | 導体膜の不要な部分を除去して前記導体端子を形成す 前記絶縁器板との密着力が低下する第1導体膜を形成 5、アディティブ法を用いた形成方法をある。

導体膜には、所定の温度で所定時間加熱したときに前記 絶縁葛板との密着力が低下する導体を用いることが好ま しく、具体的には、前記絶縁器板としずポリイミド観覧 **基板を用い、前記ポリイミド樹脂基板の表面に、ニッケ** [0028]また、前記絶縁基板上に形成する前記第1 ケル合金既を形成した場合、例えば、180℃の雰囲気 【0029】 前記ポリイミド樹脂為板の表面に前記ニッ ル合金を用いた第1導体膜を形成することが好ましい。

中に1時間ほど放置しておくと、前記ポリイミド樹脂基 (電解詞めっき頭) と前記封止用絶縁体との接着強度は 阪と前記ニッケル合金薄膜の接着強度がO. 1N/M程 度になる。一方、前記ポリイミド樹脂基板と前配封止用 1N/m程度であるため、前記刺離工程において、前記 色練器仮を前記導体端子から劉麒する際に、前記導体域 絶縁体との接着強度は1N/m程度、前配第2導体膜

子にかかる負荷が小さく、前記導体配線が前記封止用絶 緑体から蚓離しにくいため、装置の信頼性及び製造歩留 【0030】また、 杉昆铬築器板としてボリイミド鉄器 **Š板を用い、前記第1導体膜としてニッケル合金膜を用** 質を薄く形成することが好ましいが、前配ニッケル合金 いた場合、加熱したときの前記ボリイミド樹脂基板との 密着力を低下させやすくするために、前記ニッケル合金 瞬を薄くすることにより前記導体端子の強度が低下する ため、前記第2導体限として、例えば、電解調めっき膜 を厚付けすることにより、前記導体端子の強度を保つこ まりを向上させることができる。

度で所定時間加熱して硬化させている。このとき、前記 [0031] また、前記封止工程は、一般的に、前記封 止用絶縁体として、エポキシ系などの熱硬化性樹脂が用 を流し込み、成形した後、前記熱硬化性樹脂を所定の温 いられており、金型を用いて洛融した前記祭硬化性樹脂

9

熱硬化性樹脂の硬化は、例えば、約180℃の温度雰囲 気中で5時間から6時間加強して行うため、何記物議機 板としてポリイミド樹脂恭板を用い、前記第1導体膜と してニッケル合金属を用いることにより、枸配乾硬化性 樹脂を硬化させる過程で前配絶縁基板と前配第1導体膜 の密着性を低下させることができる。 そのため、前記刺 雌工程において、前記絶縁基板と前記第1導体膜の密着 力を低下させるための工程が不要であり、前配半導体装 **置の製造コストが上昇することを防げる。**

【0032】また、前記絶縁基板としてポリイミド樹脂 **基板を用いた場合は、従来、TABテーブなどの配線板** ができるため、従来のリードフレームを用いた製造方法 リール方式で、一度に大量の半導体装置を製造すること に比べ、生産性が向上し、前記半導体装置の製造コスト (デーブキャリア) の製造に用いられているリールシー を何減させることができる。 【0033】また、前記絶縁基板は、前記剣囃工程で前 **前記絶縁巻板を用いることにより製造コストはほとんど** 同様の製造方法を用いることにより、前記リードフレー 上昇しない。さらに、前記テープキャリアの製造方法と 体材料の無駄が少なくなり、装置の製造コストを低減さ ムを用いた製造方法に比べ、自記導体盤子を形成する導 記半導体装置を刺離した後、再利用が可能であるため、 せることができる。

来のリードフレームを用いた場合に比べ、前記半導体装 【0034】また、前記絶縁基板上に平坦な導体端子を アップ実装して、前記半導体チップの外部電極と前記導 体端子をボンディングワイヤで接続することにより、従 形成し、前記半導体チップを前記絶縁基板上にフェース 量を薄型化できる。 【0035】また、前記導体端子が形成された絶縁基板 **猶子の配置に関する自由度が高くなるため、多ピン化が** 上に前記半導体チップを接着することにより、前記導体

【0036】以下、本発明について、図面を存取して実 **梅の形態(東施密)とともに詳値に説明する。**

[0037] なお、実施例を説明するための全図におい て、同一機能を有するものは、同一符号をつけ、その機 り返しの説明は省略する。

図1 (a) は半導体装置を導体端子(外部接続端子)側 【発明の実施の形態】 (実施例) 図1は、本発明による から見た平面図、図1 (b)は図1 (a)のA-A, 線 一実施例の半導体装置の概略構成を示す模式図であり、 たの慰回因である。 [0038]

は半導体チップの外部電極(ボンディングパッド)、2 202は第2導体膜(電解鋼めっき鎖)、203は端子 めつき (色めっき)、3はボンディングワイヤ、4は絶 【0039】図1において、1は半導体チップ、101 は導体端子、201は第1導体膜(ニッケル合金膜)、

様体、5は被権的(ダイベースト)ためる。

ィングワイヤ3、及び前記ボンディングワイヤ3と前記 ている。また、前記半導体チップ1の前記外部電極10 に、半導体チップ1と、前記半導体チップ1の外周に沿 って殴けられ、前記半導体チップの外部端子101と電 気的に接続される導体端子2と、前記半導体チップの外 即端子101と前記導体端子2を電気的に接続するボン ディングワイヤ3と、 的配半導体チップ 1、 的配ポンデ 導体端子2の接続部を封止する絶縁体4により構成され り、前記半導体チップ!は前記絶縁体4及び前記接着剤 【0040】本実施例の半導体装置は、QFN型の半導 1 が設けられた面と対向する面(非回路形成画)には、 体装置であり、図1 (a) 及び図1 (b) に示すよう 半導体装置を製造する際に用いた接着剤5が残ってお 5により対止されている。

【0041】また、前記導体端子2は、図1(b)に示 すように、第1導体膜201、第2導体膜202、及び 選子めっき203が積層されており、前記導体端子2の では、前記第1導体膜201としてニッケル合金膜を用 一団、言い換えると前記第1導体膜201が前記絶縁体 4の表面に貸出している。また、本実施例の半導体装置 い、前記類2導体膜202として電解銅めっき顕を用 い、前記場子めっき203として金めっきを用いてい

【0042】図2乃至図8は、本実施例の半導体装置の 図、図5及び図6は半導体チップ実装工程の断面図、図 図2 (b)、図3はそれぞれ導体端子形成工程における 各工程での断面図、図4は半導体チップ実装工程の平面 製造方法を説明するための模式図であり、図2 (a)、 7 は対止工程の断面図、図8は刺離工程の断面図であ [0043] 本実施例の半導体装置の製造方法は、大ま る導体機子形成工程、前記導体機子2が形成された前記 程、前記基板上に実装された前記半導体チップ1を封止 する封止工程、前配封止工程のあと、封止された半導体 かに分けると、所定の基板上に前記導体端子2 を形成す **基板上に半導体チップ 1 を実装する半導体チップ実装工** チップ1及び導体端子2を前記基板から剝離する剝離工 程の4つの工程からなる。以下、図2乃至図8に沿っ て、本実施例の半導体装置の製造方法について説明す

(a) に示すように、例えば、ポリイミド樹脂からなる 絶縁基板6の表面に、第1導体膜201及び第2導体膜 は、後の刺離工程において、前配絶縁基板6から刺離す るため、前記絶録基板6との密着力が弱い導体を用いる のが好ましいが、途中の工程あるいは撤送時などの外力 での刺離を防ぐために、前記半導体チップ実装工程や前 記封止工程では、ある程度の密着力が必要である。その 202を積層する。このとき、前記第1導体膜201 【0044】まず、前記導体端子形成工程では、図2

ため、前記第1導体膜201には、例えば、所定の温度 に加熱したときに前記物構基板6との密着力が低下する 厚さがらヵm(50オングストローム)以下になるよう に1時間程度放置すると、前記絶縁基板(ポリイミド樹 板6ほど、加熱したときに前記第1導体膜201との密 **に形成する。またこのとき、前記ニッケル合金膜は、例** えば、クロム (Cr) の国豊パーセントが5パーセントか 前記ニッケル・クロム合金の場合、180℃の雰囲気中 間勘板)6との配着力(接着力)は0.1N/=程度に 低下する。またこのとき、前記数素透過率が高い絶縁器 ニッケル合金を用い、例えば、スパッタリングにより、 ら10パーセントのニッケル・クロム合金が好ましく、 着力が低下しやすくなる。

電解詞めっき顔であり、前記第1導体膜(ニッケル合金 【0045】また、前記第2導体膜202は、例えば、 質)201を階級とした略解めっまで形成する。

【0046】またこのとき、前記絶縁基板6は、従来の **うに、一方向に長尺なテーブ状をしており、前記第1導** テープキャリアの製造に用いられているテープ材料のよ 体膜201及び前記角2導体膜202はリール方式で形

(a) に示したような導体端子2を形成する部分が関ロ したレジスト(めっきアジスト)~を形成し、包配めっ きレジスト7の関ロ部、すなわち、前記第2導体膜20 2の韓出回に強子めっき203を形成する。 前記めっき レジスト7は、例えば、フィルム状レジストを接着して 所定のパターンを露光、現像する写真法や、スクリーン 版を用こてレジストインクを印刷する印刷法により形成 する。また、前記端子めっき203は、例えば、無電解 【0047】次に、例えば、図2(b)に示すように、 前記第2導体膜(電解網めつき膜)202上に、図1 ニッケルめっきを下地として無駄解曲めっきを形成す

【0048】またこのとき、前記めっきレジスト1及び (a) に示したようなパターンの端子めっき203が形 成されており、前記領域し1内のパターンと回模のパタ 前記端子めっき203は、リール法により形成するた め、1個の半導体装置を形成する領域に1内に、図1 **ーンが前記絶縁基板6上に連続的に形成される。**

及び前記算1導体膜201をエッチング処理して導体端 ト)として、図3に示すように、前配第2導体職202 後、町記塩子めっき203をマスク(エッチングレジス 例えば、塩化第二鉄(FeCl3)溶液や塩化第二銅(CuCl2 【0049】次に、前記めっきレジスト7を除去した 子2を形成する。このとき、エッチング沿液としては、 ・2 松(の) 溶液が用いられる。

基板6.のチップ搭載領域に、例えば、銀ペーストなどの に、前記導体端子形成工程で前記導体端子2を形成した 【0050】 前記導体端子形成工程の次に行われる半導 体チップ実装工程では、まず、図4及び図5に示すよう

被権包5を獄作して半導体チップ1を被権する。

圧着で接続し、前配半導体チップの外部配優101を割 【0051】次に、図6に示すように、前記半導体チッ 前記導体端子2を第1ポンドとして超音波を併用した勲 ワイヤ3で腐気色に徹底する。このとき、何記ボンディ 2 ポンドとして熱圧着する逆ボンディングにより複桃す プ1の外部電腦101と前記導体盤+2をボンディング ングワイヤ3のルーブ高さを低くするために、例えば、

ワイヤ 3、及び前記ボンディングワイヤ 3と前記導体盤 子2の接続部を絶縁体4で封止する。このとき、前配半 ティ801A内に、町記物様体4としず、倒えば、沿散 【0052】 前記半導体チップ実装工程の次に行われる 對止工程では、前記半導体チップ1、前記ポンディング 導体チップ 1 が実装された絶縁基板6は、図7に示すよ ひに、胚妃の形状の空間(キャパディ)801Aが取け られた上金型8Aと、前配基板1を支持する平板状の下 させた熱硬化性樹脂、あるいは未硬化の熱硬化性樹脂な どを流し込んで充満させ、成形した後、前記絶縁体4を 金型8Bの間に設置、固定し、前配上金型8Aのキャビ 所定の条件、例えば、180℃の雰囲気中で5時間から 6 時間加熱して硬化させる。またこの 4を、前記絶縁体 (ニッケル合金膜) 201と前記絶縁基板 (ポリイミド 4 を加熱して硬化させている過程で、前記集1 導体圏 **制脂基板)6との密着力が低下する。**

[0053] 前記対止工程において、前記絶縁体4を流 ノ込んで成形するときの温度は180で温度で、所製助 間は2分程度であるため、前記絶縁体4を流し込んでい る際には、前記第1導体膜(ニッケル合金膜)201と 前記絶縁基板(ポリイミド樹脂基板)6との密着力は低 **下しない。そのため、前記絶縁体4を流し込んだときの** 外力で前記導体端子2が前記絶縁基板1から剥離する可 性性はほとんどなく、前配第1等体質201と前配絶数 **基板6の接着界面に前記絶縁体4が流れ込むことはな**

記絶縁基板6に曲げ変形を加えて、半導体装置、すなわ は、例えば、図8に示すように、ローラー9を用いて前 ち前記絶縁体 4 で封止された前記半導体チップ 1、前記 ボンディングワイヤ3、及び前記導体端子2を前記絶縁 を利用し、前記絶縁体4を硬化させる高温炉から取り出 て、前記絶様体4を加熱して硬化させる過程で前記導体 様子2と前記絶縁為板6との密着力が低下していること した冒後に、図8で示したように前記絶縁被仮6に曲げ **変形を加えることにより、前記半導体装置を容易に刺離** 【0054】 前記封止工程の次に行われる剥離工程で **恭板6から刺離する。このとき、前記封止工程におい** することができる。

【0055】向記ポリイミド樹脂恭板6の表面に前配二 の雰囲気中に1時間ほど放置しておくと、枸むポリイミ ッケル合金膜201を形成した場合、例えば、180℃

8

ド樹脂巻板6と前記ニッケル合金薄膜201の接着強度 が0.1N/面程度になる。一方、前記ポリイミド樹脂 基板6と前記対止用絶縁体4との接着強度は1N/四程 度、前記類2導体膜(略解剤から度関)202と前記封 止用絶縁体4との接着強度は1N/四程度であるため、 前記到離工程において、前記等構基板6を前記導体端子 2から刻離する際に、前記等体配線2が前記対止用絶線 体4から刻離する際に、前記等体配線2が前記対止用絶線 体4から刻離するでにくいため、装置の信頼性及び製造サ 留実りを向上させることができる。

「0056」また、印配部等的でも別割する際に即記事件の第2~124、印配等等的での別様のにかかる場合は、108年度供かり、従来のリードフレームや辺野する際の協信にはくれかけいがの、個片化する際の負荷(衝撃)で即記等体盤するが問題等体をから別離し、核び等ちるにとを防げる。

[0057]以上のような手順で、図1(a)及び図1(b)に示したようなQFN型の半導体装置を製造した、後、前配能維基板6は再利用され、図2に示したように、第1導体201及び前配第2導体202を形成し、前配各工程を繰り返す。

【0058】以上説明したように、本実施例の半導体設置の製造方法によれば、前記絶議数板(ボリイミド組間 基板)の表面に、所定の条件で加熱したときに前記録 課差低 との配着性(接着性)が低下する類 1 導体 にッケル合金膜)201を下地とした前記導体端子2を形成しておくこにより、対止工程の際には、前記線体端子2を形成しておくこにより、対止工程の際には、前記線体端子2の配着が高くしておき、前記等体端子2の密数が高くしておき、前記等体端子2の密数があると、前記所はないのを防ぎ、前記対止工程のあと、前記所はなっ条件で加強し、前記を基数あらと前記等体端子2の图象力を低下させて別離することで、前記等体端子2の回、すなわち、前記算13等体層201の貸出不良を低減することができる。

【0059】また、前記所定の条件で加熱したときに前記録器板(ボリイミド館脂基板)6との座着力が低下する第1導体膜(ニッケル合金膜)201を下地とした前記環体端子2を形成することにより、前記製庫工程で前記導体端子2を前記導線基板6から製館する際にかかる負荷を低減させることができ、前記導体端子2が前記半導体チップ1を対止する総線体4から製館しにくくすることができる。

[0060]また、前記導体盤子2の韓出回镜が所定の回復より狭くなる、あるいはふさがれることがないため、前記導体盤子2の韓出面の不良による半導体装置の不良が成成し、製造が留実りが向上するため、半導体設置の製造コストを低減することができる。

【0061】また、対止後の半導体装置の前記導体端子2は、前記列離工程において前記急線基板6を到離するまで、前記絶缘基板6に保護されているため、前記導体増子2の露出面、すなわち前記算1導体膜201の表面に傷が付き、実装性が悪くなることを防げる。

[0062]また、テープ状の絶縁あ板6を用いて、従来からテープキャリアの製造に用いられているリールツーリール方式で半導体装置を製造することができるため、一度に大量の半導体装置を製造することができるため、一度に大量の半導体装置を製造でき、生歴性が向上するため、被電の製造コストを低減することができる。 [063] また、前記絶縁基板6は、剥離工程の後で再別用ができるため、前記絶縁基板6点、剥離工程の後で再別用ができるから、前記絶縁数板6上に向記場体端子2を効率よく形成できるため、従来のリードフレームを用いた製造方法に比べ、前記場体端で2の材料製を低減し、半導体装置の製造コストを低減することができる。

【0064】また、本実施例の半導体装置のように、前記路線を扱る上に前記半導体チップ1を接着し、前記導体等と、前記半導体チップ1を接着し、1を逆ボンディングで接続することにより、従来の、図11(b)に示したような、リードフレームを用いた半導体装置に比べ、課型化することができる。

【0065】また、本実施例の半導体装置では、図2

(a) に示したように、前記絶縁義後のの表面に、前記 類1導体膜(ニッケル合金類)201及び前記簿2導体 頭(電解到めつき費)202を形成した後、前記端子の つを203を形成し、前記端子めつき203をエッチン グレジストとして用いて前記第1導体質201及び前記 類2導体膜202をエッチング処理し、前記導体端子2 を形成したが、これに預らず、例えば、前記導体端子2 を形成したが、これに預らず、例えば、前記端本やつき 203を形成する代わりに、他のエッチングレジストを 形成してエッチング処理してもよいことは置うまでもな い。また、前記導体端子2を表してもよい。 がは、カイン法により、前記導体端子2を形成する部分の みに前記算2導体(電機関のつき)202を形成し、 後、クイックエッチングで制記算1導体201の不要な 部分を除去してもよい。

【0066】図9は、前記実施例の半導体装置の変形例を示す模式図であり、図9(a)は半導体装置の導体端子2億から見た平面図、図9(b)は図9(a)のBーB・線での断面図である。なお、図9(b)の断面図は、図9(a)の半導体装置の断面を上下反配させていたいる。

【0067】前記実施例の半導体装置では、図4及び図5に示したように、前記総構装板のの半導体チップ1が 指載される領域の外側に前記導体端子2を配置し、前記総構造板6上に前記接着列(超ペースト)を用いて前記を構造の大が前記接着別5が前記対単の砂線体4の表面に露出しているが、これに傾らず、例えば、図9(a)及び図9(b)に示すように、前記導体端子2の一端が前記半導体チップ1を搭載する領域内に突出するように設け、フィルム状接着利する領域内に突出するように設け、フィルム状接着利う。を用いて前記導体端子2上に前記半端体キップ1を

接着してもよい。この場合には、前記導体盤子2の高さ 分だけ、前記路線基板6と前記半導体チップ1の間に履 間ができ、図7で示した前記封止工程で、前記路線基板 6と前記半導体チップ1の間に前記封止用砂線操体4が 入り込み、前記フィルム技搬業和5 「は露出しない。 【0068】図1(a)及び図1(b)に示したよう な、前記接筆列(銀ペースト)5が露出した半導体装置では、前記接筆列(銀ペースト)5が露出した半導体装電では、前記接電列(銀ペースト)5が露出した半導体投資では、前記接離列(銀ペースト)5が露出したように、あるいはその後に前記接離到5が製雕して前記半導体チップ 別記接着刻5も前記封止用の絶線体4の内部に封止することで、前記半導体チップ1が露出し、循系が付く可能性があるが、図9(a)及び図9(b)に示したように、前記接着刻5も前記封止用の絶線体4の内部に封止することで、前記半導体チップ1が露出し、傷が付くことを防 【0069】図10は、前配実施例の半導体装置の他の窓形例を示す模式図であり、図10(a)は半導体チップ側から見た中面図、図10(b)は図10(a)の半導体装置を側面方向から見た断面図である。なお、図1の(a)では、前記半導体チップを対止する絶縁体は省略して示している。

【0070] 前記実施の中導体装置では、図1(a) 及び図1(b) に示したように、前記導体強子2が装置の総部に治って一列に配置されているが、これに限らず、例えば、図10(a) に示すように、前記半導体チップ1の外部電阻・01および前記等体強子2を形態に列にしてもよい。この場合は、前記等体強子2の数が増えて密に配置されるため、例えば、図10(b)に示すように、ルーブ高さの異なるワイヤボンディングをすることにより、前記ポンディングでする

[0071] 図1(a) 及び図1(b) に示したように、前記導体端子2を一列配列にした場合、前記半導体チップ上の外部電極(ポンディングパッド)101の数が増えると前記半導体装置が大型化してしまうが、図10(a) 及び図10(b)に示すように、前記導体端子2を手馬配列にすることにより、多ピン化、すなわち前記導体端子2の数を増やしたときに前記半導体装置が大型化する割合を低減させることができる。

[0072]また、図10 (a)及び図10 (b)に示した半導体装置では、前記等体端子を手鳥配列にしているが、これに限らず、従来のLGA (Land Grid Arra y)型の半導体装置のように、前記導体端子2を2列以上の格子状に配置してもよいことは首うまでもない。

[0073]以上、本発明を、前記実施密に結びを具体的に説明したが、本発明は、前記実施密に確定されるもので説明した、その要旨を逃脱しない範囲において値を設置があった。要可能であることはもちろんである。

【0074】例えば、前記実施例では、前記外部端子が 前記半導体装置の4辺に沿って配列されたQFN型の半

導体装置を倒にあげているが、これに励らず、倒えば、 半導体装置の対向する2辺に前記外部端子が配到された SON型の半導体装置でもよい。 【0075】また、前記奥協例の半導体装置の製造方法では、前記対止工程において、前記総算体4を硬化させる際の加熱で前記算は環体膜(ニッケル合金膜)201と的記能構造板(ポリイミド母間造板)6の配着力を低下させ、その電後に前記総算器板6を削離していたが、これに限らず、例えば、前記対止工程とは別の工程で加熱して、前記算1導体膜201と前記総構造板6の密着力を低下させてもよいことは首うまでもない。

【発明の効果】本発明において脳示される発明のうち、 代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

げ、半導体装置の信頼性をさらに向上させることができ

[9200]

【0077】(1) QFN型あるいはSON型の半導体 校園において、リード(導体雑子)の路出不良を征滅することができる。

【0078】(2) QFN型あるにはSON型の半導体装備において、装置の製造学留まりを向上され、製造コストを促滅することができる。

【0079】(3)QFN型あるいは各ON型の半導体 被優において、被優の生磁性を向上させ、整道コストを 低減することができる。

表表することがである。 【0080】(4)QFN型あるにはSON型の半導体指導でなった。 本事本語医ウナメーッカンタメ

被優において、被優を課型化することができる。 【0081】(5)QFN型あるいはSON型の半導体 検優において、多ピン化による故匿の大型化を防ぐこと

【図面の簡単な説明】

【図1】本発明による一般活動の半導体技術の原稿を設め、を示す機式図であり、図1(3)は半導体技術を導体機子紹介ら見た平面図、図1(5)は図1(3)のA-A、線での断図図である。

A 様でが明回的にある。 【図2】本実施例の半導体装置の製造方法を財明するための模式図であり、図2(a)及び図2(b)はそれぞれ、導体端子形成工程における各工程での節図図であ

で3 【図3】本実施例の半導体装置の製造方法を説明するための模式図であり、導体端子形成工程における断面図で 【図5】本実施例の半導体装置の製造方法を説明するための模式図であり、図4の側図方向から見た断面図であっます。

【図6】本実施例の半導体設置の製造方法を説明するための値式図であり、ワイヤボンディング工程の断面図である。

【図7】 本文施例の半導体装置の製造方法を説明するた 【図8】 本政施例の半導体装置の製造方法を説明するた 【図9】 前記 政施 図の半導体 報 国の 変形 例を示す 位 式図 めの模式図であり、対止工程における断面図である。 めの模式図であり、図町工程における断回図である。

ら見た平面図、図10(b)は図10(a)の側面方向 位式図であり、図10(a)は半導体装置のチップ側か 【図10】 白記女施倒の半導体独唱の他の牧形倒を示す から見た節茵図である。

【図11】従来のQFN型の半導体装置の概略構成を示 K) 個から兄た平面図、図11 (b) は図11 (a) の す倒式図であり、図11(a)は被値の導体塩子(リー C-C、核での断回因である。

【図12】従来のQFN型の半導体装置の製造方法を説 明するための模式図であり、使用するリードフレームの 概略構成を示す平面図である。

【図13】従来のQFN型の半導体装置の製造方法を説 (b) はそれぞれ、半導体チップを契装する工程の断面 羽するための模式図であり、図13 (a)、図13

【図14】従来のQFN型の半導体装置の製造方法を説 明するための模式図であり、図14(a)は対止工程の

[<u>8</u>]

3

【図15】従来のQFN型の半導体装置の問題点を説明 **断回図、図14(b)は個片化工程の断面図である。** するための模式図である。

【図16】従来のQFN型の半導体装置の他の問題点を 脱明するための似式図である。

[作号の説明]

平面図、図9 (b) は図9 (a) のB-B 線での断面

Mrs.

であり、図9 (a) は半導体装置の導体協子関から見た

10.1 女郎軌稿 (ボンディングパッド) - 半導体チップ

2 選体強子 (リード)

201 第1導体質 (ニッケル合金類)

202 第2344関(電解部的の金融) 203 超子めっき

ポンド・ングワムや

被4位の (ダイペースト) が数な

フィルム状接着剤

紡績権板(ポリイミド整體制板)

レジスト (めっきレジスト)

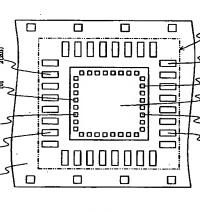
8A 上金型

801A #+ LFT

88 下金型 9 ローラー

11 6角形状の導体端子 10 J-K7V-A

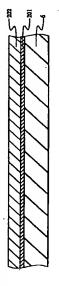
[図4]

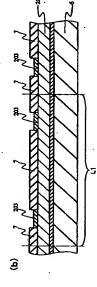


9

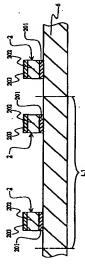
[図2]

Œ

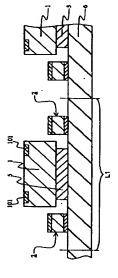




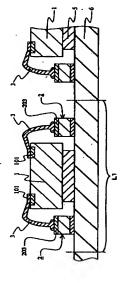
(E 🖾 3)

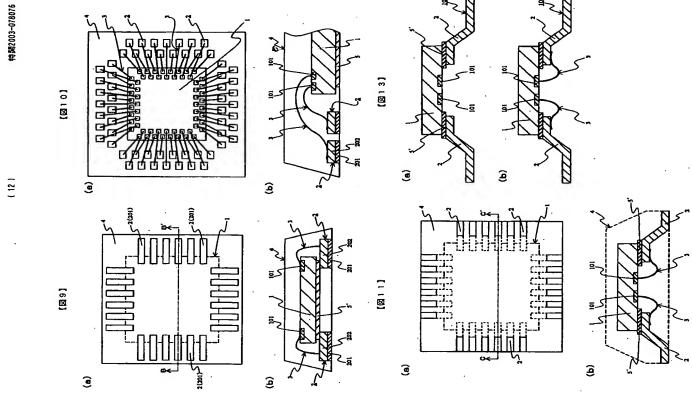


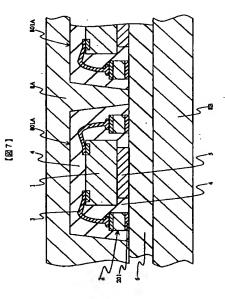
(<u>8</u>85)

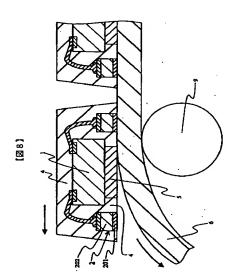


(9🖾)

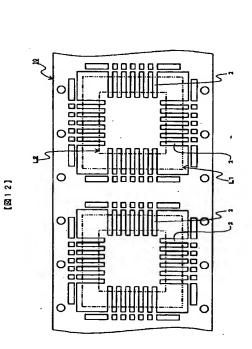


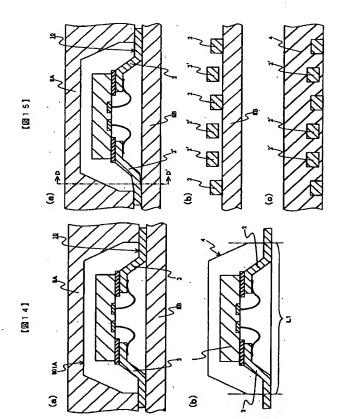


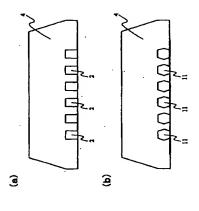




[8]







レロントスージの統合

Fターム(砂型) 4M109 AN01 BA01 CA21 FA07 5F061 AA01 BA01 CA21 DD14 EA03 5F067 AA09 AA11 AB03 BC12 BE10 CC00 CC08 DE14 DF01